

Tehnici de testare automată pentru sisteme numerice

Mr.lect.ing. Cornel PUI
Academia Tehnică Militară, București

Lucrarea prezintă metodele și tehnicile utilizate în proiectarea și realizarea sistemelor numerice în scopul automatizării procesului de testare, atât la nivel de circuit integrat cât și la nivel de placă, precum și pentru adăugarea facilităților de autotestare la nivelul sistemului.

Cuvinte cheie: scanare, testare automată, standarde

1. Controlabilitatea și observabilitatea prin intermediul registrelor de scanare (Scan Registers)

Termenul de registru de scanare (Scan Register - SR) semnifică un dispozitiv numeric secvențial cu următoarele funcțiuni:

- funcționare ca registru cu intrări și ieșiri paralele - denumit modul de lucru *normal*;

- funcționare ca registru de deplasare, adică intrări și ieșiri seriale - denumit modul de lucru *test*; în modul test, funcție de sensul datelor vom distinge modul de operare *scan-in*, atunci când datele de pe intrarea serială vor fi introduse în registru și modul de operare *scan-out*, atunci când datele din registru vor fi furnizate pe ieșirea serială.

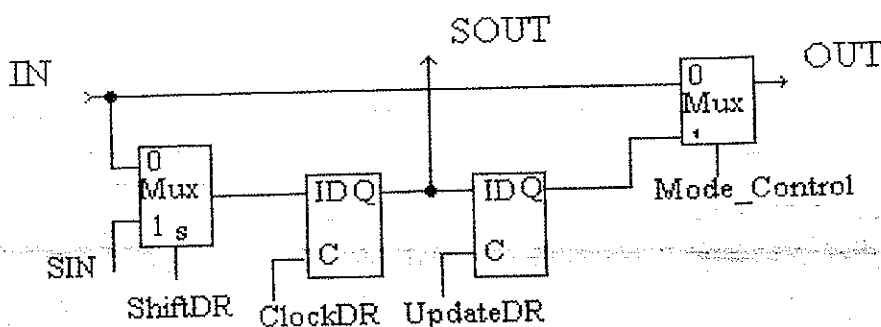


Fig. 1. Schema unei celule boundary-scan

Figura 1 arată reprezentarea generică a unei celule (Scan Storage Cell - SSC), simbolul folosit pentru reprezentarea SSC, reprezentarea generică și simbolul SR. Amplasarea unui asemenea dispozitiv într-o schemă oarecare aduce cu sine creșterea simultană observabilității și a controlabilității, sau numai a controlabilității sau numai a observabilității. După locul și modul de grupare a celulelor de scanare în cadrul dispozitivului rezultă trei tipuri de abordări distincte:

- scanare integrată complet serială (Full Serial Integrated Scan);
- scanare serială izolată (Isolated Serial Scan);
- scanare non-serială (Nonserial Scan).

În cazul dispunerii celulelor SSC la nivelul intrărilor sau ieșirilor circuitului (la pinii

circuitului) acestea vor purta denumirea de celule Boundary-Scan.

2. Standarde Boundary-Scan

Pentru ușurarea testării la nivel de placă au fost dezvoltate o serie de tehnici de proiectare pentru facilitarea testării (Design For Testability), unele dintre acestea impunându-se ca standarde. Scopul principal al standardelor este acela de a preciza modalitățile de includere în circuitele LSI și VLSI a unor componente care să simplifice procesul testării și să scadă costul unei asemenea activități. Câteva dintre standarde sunt:

- Joint Group Action Group Boundary-Scan Standard (JTAG 1988);
- VHSIC Element-Test and Maintenance

- ETM Bus Standard (IBM 1986a);
- VHSIC Test and Maintenance TM Bus Standard (IBM 1986b);
 - IEEE P1149.1 Testability Bus Standard (IEEE 1149.1)

Standardele se referă la folosirea unei magistrale de test care se dispune pe plăci, protocoale asociate dialogului la nivel de magistrală, elementele de control ale magistralei, porturile de I/O prin care se realizează conectarea chip-urilor la magistrală și logica de control care se dispune în chip pentru interfațarea magistralei de test cu elementele DFT sau BIST (Build-In Self-Test) proprii chip-ului. În plus, standardele JTAG Boundary-Scan și IEEE 1149.1 impun folosirea în interiorul chip-ului a celulelor boundary-scan. Scopul fundamental al folosirii tehnicii boundary-scan este acela de a permite o testare eficientă la nivel de placă precum și izolarea și testarea separată a chip-urilor, fie prin intermediul magistralei de test fie prin procedee BIST proprii chip-ului. Prin standardul IEEE 1149.1, în secțiunea referitoare la arhitectura magistralei de test, care va fi identificată în continuare prin BS

- 1149.1, sunt definite următoarele elemente:
- structura fizică a magistralei de test împreună cu modul de interconectare a chip-urilor la magistrală;
 - protocolul de magistrală;
 - circuitele necesare fiecărui chip pentru conectarea la magistrala de test.

Sunt incluse, de asemenea, registrele boundary-scan și controllerul portului de acces în vederea testării (Test Access Port - TAP). În figura 2 se prezintă structura generală a unui chip care include facilitățile precizate în BS 1149.12. Zona definită ca "Logica de control a aplicației" reprezintă conținutul inițial al circuitului, eventual prevăzut prin proiectare cu facilități DFT sau BIST (în acest ultim caz, elementele DFT și BIST se pot conecta la magistrala de test prin liniile S_{in} și S_{out}). Conectarea logicii de control a aplicației la terminalele circuitului (pini) se face prin intermediul celulelor boundary-scan. Elementele care se adaugă chip-ului, în conformitate cu BS 1149.1, sunt: registrul boundary-scan, registrul by-pass de 1 bit, registrul de instrucțiuni precum și alte registre, cu destinații diferite.

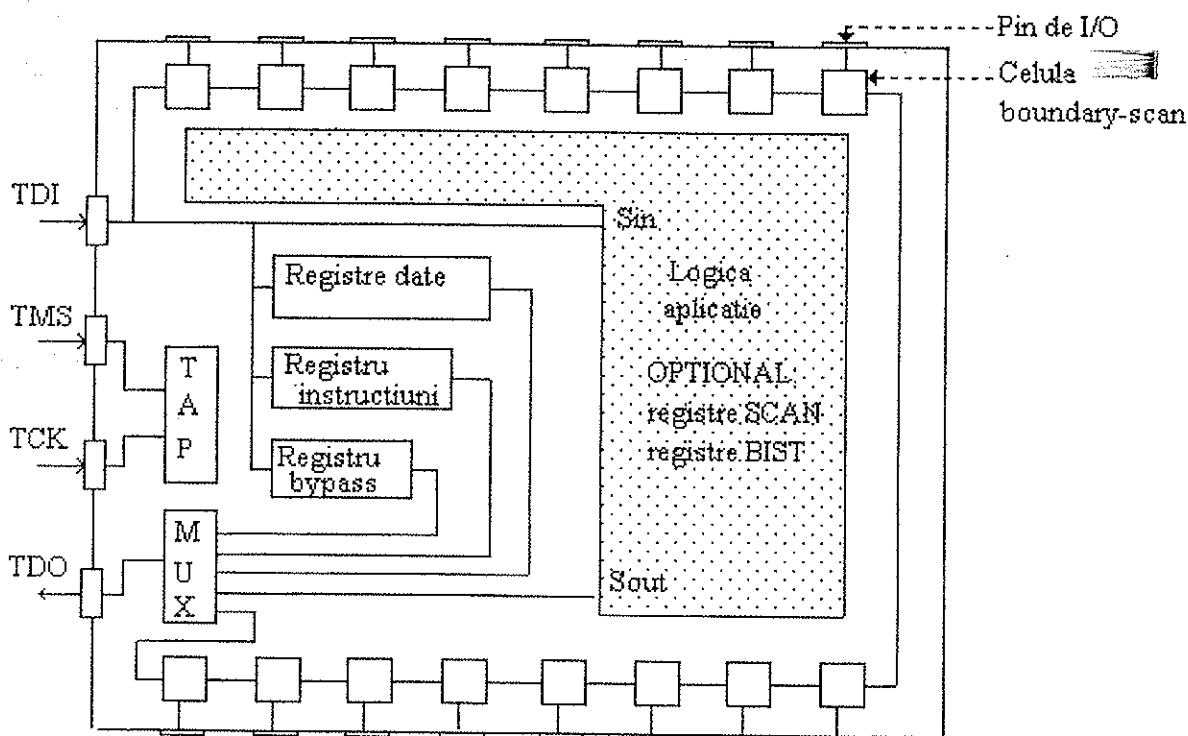


Fig. 2. Arhitectura BS 1149.1 la nivel de circuit integrat

Magistrala boundary-scan constă din 4 linii :
TCK - *test clock* - semnalul care comandă efectiv desfășurarea procesului boundary-scan;

TDI - *test data in* - linie folosită pentru transmisia serială a datelor și instrucțiunilor de test, date care vor fi direcționate în interior către registrele corespunzătoare;

TDO - *test data output* - linie folosită pentru extragerea serială a datelor

TMS - *test mode select* - valoarea furnizată pe această linie va fi interpretată în interiorul chip-ului de către un automat finit cu memorie, putându-se astfel face deosebirea între intrări care reprezintă date sau instrucțiuni.

Instrucțiunile și datele sunt trimise către circuit prin intermediul linei TDI, rezultatele și informațiile de stare fiind furnizate în exterior pe linia TDO. Toate aceste informații se vor transmite și se vor prelua serial, secvența operațiilor care se execută pe magistrală fiind dirijată de către un modul de comandă (master) care poate fi un echipament de testare automată (Automatic Test Equipment - ATE), sau un echipament care face parte dintr-un sistem de mentenanță și test situat la un nivel ierarhic superior.

În interiorul chip-ului controlul magistralei de test este deținut de TAP care răspunde la tranzițiile de stare de pe linia TMS. Pe scurt, magistrala de test și elementele asociate operează în modul următor:

1. Se recepționează serial o instrucțiune (pe linia TDI) și se depune în registrul de instrucțiuni;
2. Circuitele sunt configurate în concordanță cu instrucțiunea primită; în unele cazuri, pentru executarea instrucțiunii sunt necesare

date suplimentare, care vor fi dirijate în registrele indicate de conținutul instrucțiunii;

3. Se execută instrucțiunea de testare, rezultatele obținute fiind dirijate serial către linia TDO; este posibil ca odată cu extragerea rezultatelor, noi date să fie furnizate pe linia TDI.

3. Extinderea conceptului Boundary-Scan la nivel de placă

Conceptul boundary-scan poate fi extins la nivel de placă realizată cu circuite care implementează standardul BS 1149.1. Se formează un lanț prin conectarea liniei TDO a unui circuit cu linia TDI a următorului circuit din lanț, primul și ultimul circuit având TDI și TDO legate la conectorul plăcii. Se pot realiza astfel următoarele categorii de teste:

- teste de interconectare;
- observarea activității unui circuit din lanț;
- testarea individuală a fiecărui circuit din lanț.

Circuitele se pot conecta fie în această formă (cunoscută sub denumirea de structură "inel") fie în structură de tip "stea".

Bibliografie

- *** Joint Group Action Group Boundary-Scan Standard (JTAG 1988);
- *** VHSIC Element-Test and Maintenance ETM Bus Standard (IBM 1986a);
- *** VHSIC Test and Maintenance TM Bus Standard (IBM 1986b);
- *** IEEE P1149.1 Testability Bus Standard (IEEE 1149.1)